

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-94826

(P2001-94826A)

(43) 公開日 平成13年4月6日(2001.4.6)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 4 N 5/14		H 0 4 N 5/14	B 5 C 0 2 1
H 0 3 G 3/20		H 0 3 G 3/20	A 5 C 0 2 6
H 0 3 M 1/18		H 0 3 M 1/18	5 J 0 2 2
H 0 4 N 5/52		H 0 4 N 5/52	5 J 1 0 0

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平11-270049

(22) 出願日 平成11年9月24日(1999.9.24)

(71) 出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 高木 暢之

神奈川県川崎市高津区末長1116番地 株式
会社富士通ゼネラル内

(72) 発明者 中島 正道

神奈川県川崎市高津区末長1116番地 株式
会社富士通ゼネラル内

(74) 代理人 100076255

弁理士 古澤 俊明 (外1名)

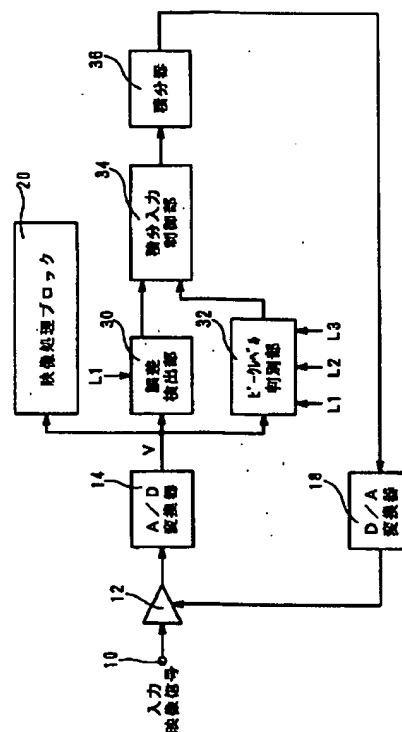
最終頁に続く

(54) 【発明の名称】 自動利得制御回路

(57) 【要約】

【課題】 入力映像信号方式に依存せず、A/D変換器の入力レンジを有効に活用でき、AGC制御による振動を抑制できる自動利得制御回路を提供すること。

【解決手段】 誤差検出部30でA/D変換器14の出力信号Vを設定値L1と比較し、 $L1 < V$ で差分を出力し、 $V \leq L1$ で0を出力し、ピークレベル判別部32で1ライン毎に出力信号Vのピークレベルを検出して設定値L1、L2、L3と比較し、レベル範囲1、2、3、4の何れかを判別して判別信号1、2、3、4を出力し、積分入力制御部34では判別信号1、2で誤差検出部30の出力を出力し、判別信号3で固定値Kを出力し、判別信号4で0を出力し、出力値を積分しアナログ信号に変換して利得制御増幅器12へ出力する。Vが最適レベル範囲2 ($L2 < V \leq L1$) のときに利得保持、高レベル範囲1 ($L1 < V$) のときに利得減衰、低レベル範囲3 ($L3 < V \leq L2$) のときに利得増幅する。



【特許請求の範囲】

【請求項1】 アナログの入力映像信号を利得制御電圧に応じた増幅度で増幅して出力する利得制御増幅器と、この利得制御増幅器の出力信号をディジタル信号に変換して出力するA/D変換器と、このA/D変換器の出力信号Vをレベル設定値L1と比較し、レベル設定値L1を超えたときには差分を出力し、超えないときには0を出力する誤差検出部と、一定期間毎に前記A/D変換器の出力信号Vのピークレベルを検出してレベル設定値L1、L2、L3 ($L3 < L2 < L1$) と比較し、レベル範囲1 ($L1 < V$)、2 ($L2 < V \leq L1$)、2 ($L3 < V \leq L2$) 又は4 ($V \leq L3$) の何れにあるかを判別して判別信号1、2、3又は4を出力するピークレベル判別部と、このピークレベル判別部の出力が判別信号1、2のときには前記誤差検出部の出力をそのまま出力し、判別信号3のときには予め設定された固定値K ($\neq 0$) を出力し、判別信号4のときには0を出力する積分入力制御部と、この積分入力制御部の出力値を積分する積分器と、この積分器の積分値をアナログ信号に変換し利得制御電圧として前記利得制御増幅器へ出力するD/A変換器とを具備してなることを特徴とする自動利得制御回路。

【請求項2】 ピークレベル判別部は、1ライン期間毎にA/D変換器の出力信号Vのピークレベルを検出してレベル設定値L1、L2、L3と比較して判別信号1、2、3又は4を出力してなる請求項1記載の自動利得制御回路。

【請求項3】 ピークレベル判別部は、1フレーム期間毎にA/D変換器の出力信号Vのピークレベルを検出してレベル設定値L1、L2、L3と比較して判別信号1、2、3又は4を出力してなる請求項1記載の自動利得制御回路。

【請求項4】 ピークレベル判別部のレベル設定値L1、L2、L3は、外部から可変可能に設定されてなる請求項1、2又は3記載の自動利得制御回路。

【請求項5】 積分入力制御部の固定値Kは、外部から可変可能に設定されてなる請求項1、2又は3記載の自動利得制御回路。

【請求項6】 積分入力制御部の固定値Kは、外部から可変可能に設定されてなる請求項4記載の自動利得制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、アナログの入力映像信号を利得制御電圧に応じた増幅度で増幅して出力する利得制御増幅器（ゲインコントロールアンプ）を具備し、入力映像信号のレベル変動に応じて利得制御増幅器の増幅度を制御する自動利得制御回路に関するものである。

【0002】

【従来の技術】 従来の自動利得制御回路は、図4に示すように、入力端子10に入力したアナログの映像信号を利得制御可能に増幅して出力する利得制御増幅器12と、この利得制御増幅器12の出力側に順次結合されたA/D（アナログ/ディジタル）変換器14、利得制御部16及びD/A（ディジタル/アナログ）変換器18とで構成され、利得制御部16が入力映像信号に含まれる同期信号の最低レベルを検出して基準レベル E_r と比較し、検出レベルを基準レベル E_r と一致させるための利得制御信号をD/A変換器18を介して利得制御増幅器12へ出力することによって、入力端子10に入力した映像信号のレベルが変動してもA/D変換器14から映像処理ブロック20へ出力する映像信号のピークレベルが常に一定の望ましいピークレベル V_r となるように制御していた。

【0003】 例えば、図5の（a）に示すように、入力端子10に入力した映像信号のピークレベルが V_r より大きいときには、同期信号の最低レベルも E_r より低いので利得制御増幅器12へ出力する利得制御信号を小さくして増幅率を下げる（減衰する）。また、図5（b）に示すように、入力端子10に入力した映像信号のピークレベルが V_r より小さいときには、同期信号の最低レベルも E_r より高いので利得制御増幅器12へ出力する利得制御信号を大きくして増幅率を上げる（増幅する）。このような増幅率を上下する制御によって、A/D変換器14から映像処理ブロック20へ出力する映像信号のピークレベルが常に V_r となるようにしていた。

【0004】

【発明が解決しようとする課題】 しかしながら、図4に示した従来例では、利得制御部16が同期信号（例えば水平同期信号）の最低レベルを検出して基準レベル E_r と比較し、検出レベルを基準レベル E_r と一致させるための利得制御信号を利得制御増幅器12へ出力する制御をしていたので、入力映像信号の方式や入力映像信号源の相違により同期信号の最低レベルにバラツキがあると、白レベルピークにバラツキが生じ、A/D変換器14の入力レンジを有効に活用できないという問題点があった。

【0005】 例えば、NTSC（National TV System Committee）方式の映像信号、PAL（Phase Alternation by Line）方式の映像信号、ビデオデッキからの映像信号等の入力映像信号の方式の違いや、放送波映像信号、ビデオデッキからの映像信号等の入力映像信号源の違いによって、映像信号と同期信号の大きさの比率が相違するため、同期信号の最低レベルを基準レベル E_r と一致させる制御をしても、A/D変換器14から映像処理ブロック20へ出力する映像信号にバラツキが生じるという問題点があった。

【0006】 また、パソコン（パーソナルコンピュータ）のR、G、B信号のように同期信号が含まれていな

い入力映像信号に対してはAGC（自動利得制御）動作を行うことができないという問題点があった。

【0007】また、同期信号の最低レベルが基準レベル E_r より高いか否かで利得制御増幅器12の増幅率を制御していたので、利得制御増幅器12の利得傾度が大きくなった場合や利得制御電圧範囲が広がった場合などに、利得制御電圧にループ振動が生じて利得制御増幅器12から出力する映像信号に不要な振動波形が現われるという問題点があった。

【0008】本発明は上述の問題点に鑑みなされたもので、入力映像信号の方式が相違したり入力映像信号源が相違した場合でも、適切なAGC動作を行うことのできる自動利得制御回路を提供することを目的とするものである。また、同期信号が含まれていない入力映像信号に対しても適切なAGC動作を行うことができるようにすることを目的とする。また、AGC動作によって利得制御増幅器から出力する映像信号に不要な振動波形が現われをないようにすることを目的とする。

【0009】

【課題を解決するための手段】発明による自動利得制御回路は、アナログの入力映像信号を利得制御電圧に応じた増幅度で増幅して出力する利得制御増幅器と、この利得制御増幅器の出力信号をデジタル信号に変換して出力するA/D変換器と、このA/D変換器の出力信号Vをレベル設定値L1と比較し、レベル設定値L1を超えたときには差分を出力し、超えないときには0を出力する誤差検出部と、一定期間毎にA/D変換器の出力信号Vのピークレベルを検出してレベル設定値L1、L2、L3（ $L_3 < L_2 < L_1$ ）と比較し、レベル範囲1（ $L_1 < V$ ）、2（ $L_2 < V \leq L_1$ ）、3（ $L_3 < V \leq L_2$ ）又は4（ $V \leq L_3$ ）の何れにあるかを判別して判別信号1、2、3又は4を出力するピークレベル判別部と、このピークレベル判別部の出力が判別信号1、2のときには誤差検出部の出力をそのまま出力し、判別信号3のときには予め設定された固定値K（ $\neq 0$ ）を出力し、判別信号4のときには0を出力する積分入力制御部と、この積分入力制御部の出力値を積分する積分器と、この積分器の積分値をアナログ信号に変換し利得制御電圧として利得制御増幅器へ出力するD/A変換器とを具備してなることを特徴とするものである。

【0010】誤差検出部では、A/D変換器の出力信号Vがレベル設定値L1を超えているときには差分が出力し、超えていないときには0が出力する。ピークレベル判別部では、一定期間毎に、A/D変換器の出力信号Vのピークレベルが検出されレベル設定値L1、L2、L3と比較され、レベル範囲1、2、3又は4の何れにあるかが判別され、判別信号1、2、3又は4が出力する。積分入力制御部では、判別信号1、2のときには誤差検出部の出力がそのまま出力し、判別信号3のときには固定値Kが出力し、判別信号4のときには0が出力

し、この出力が積分器で積分され、この積分値がD/A変換器でアナログ信号に変換され利得制御電圧として利得制御増幅器へ出力する。このため、A/D変換器の出力信号Vのピークレベルが最適なレベル範囲2（ $L_2 < V \leq L_1$ ）のときには利得制御増幅器の利得が保持され、高いレベル範囲1（ $L_1 < V$ ）のときには利得が低下し、低いレベル範囲3（ $L_3 < V \leq L_2$ ）のときには利得が増加し、さらに低いレベル範囲4（ $V < L_3$ ）では利得が保持されるので、入力映像信号の方式によらないAGC制御ができ、A/D変換器の入力レンジを有効に使用でき、AGC制御による振動の発生を抑え、暗い画面の映像信号の利得上昇を回避することができる。

【0011】各フレーム画面の各ラインに沿った輝度レベル変化に不自然さが現われないようにするために、ピークレベル判別部を、1ライン期間毎にA/D変換器の出力信号Vのピークレベルを検出してレベル設定値L1、L2、L3と比較し、レベル範囲1、2又は3の何れにあるかを判別して判別信号1、2、3又は4を出力するように構成する。

【0012】各フレーム画面のライン間の輝度レベル変化に不自然さが現われないようにするために、ピークレベル判別部を、レベル判別部を、1フレーム期間毎にA/D変換器の出力信号Vのピークレベルを検出してレベル設定値L1、L2、L3と比較し、レベル範囲1、2又は3の何れにあるかを判別して判別信号1、2、3又は4を出力するように構成する。

【0013】AGC制御特性を外部から可変できるようにするために、ピークレベル判別部のレベル設定値L1、L2、L3を外部から可変可能に設定する構成とする。

【0014】AGC応答特性を外部から可変できるようにするために、積分入力制御部の固定値Kを外部から可変可能に設定する構成とする。

【0015】

【発明の実施の形態】本発明による自動利得制御回路の一実施形態例を図1を用いて説明する。図1において図4と同一部分は同一符号とする。図1において、10は映像信号の入力端子で、この入力端子10には利得制御増幅器12及びA/D変換器14が順次結合するとともに、前記A/D変換器14の出力側には映像処理ブロック20が結合している。前記A/D変換器14の出力側には、誤差検出部30及びピークレベル判別部32が並列的に結合し、この誤差検出部30及びピークレベル判別部32の出力側には積分入力制御部34及び積分器36が順次結合し、この積分器36の出力側はD/A変換器18を介して前記利得制御増幅器12に結合している。

【0016】前記誤差検出部30は、前記A/D変換器14の出力信号Vをピークレベル設定値L1と比較し、このピークレベル設定値L1を超えたときには差分D

($=V-L1<0$)を出力し、超えないときには0を出力する。このレベル設定値L1は外部から変えることができるように構成されている。

【0017】前記ピークレベル判別部32は、1ライン(1水平周期)毎に前記A/D変換器14の出力信号Vのピークレベルを検出してピークレベル設定値L1、ピーク下限レベル設定値L2($L2<L1$)、制御下限レベル設定値L3($L3<L2$)と比較し、レベル範囲1($L1<V$)、2($L2<V\leq L1$)、3($L3<V\leq L2$)又は4($V\leq L3$)の何れにあるかを判別して対応した判別信号1、2、3又は4を出力する。このレベル設定値L1、L2、L3は外部から変えることができるように構成されている。

【0018】前記積分入力制御部34は、前記ピークレベル判別部32の出力が判別信号1、2のときには前記誤差検出部30の出力をそのまま出力し、判別信号3のときには予め設定された固定値K($K>0$)を出力し、判別信号4のときには0を出力する。

【0019】前記積分器36は、前記積分入力制御部34の出力値を積分して出力する。具体的には、積分入力制御部34の出力値が差分Dのときには現在値G(制御当初は初期値)に差分D($D<0$)を加算した値G+D($G+D<G$)を出力し、積分入力制御部34の出力値が0のときには現在値Gをそのまま出力し、積分入力制御部34の出力値が固定値K($K>0$)のときには現在値Gに固定値Kを加算した値G+K($G+K>G$)を出力する。

【0020】前記D/A変換器18は、前記積分器36の出力値をアナログ信号に変換し利得制御電圧として前記利得制御増幅器12へ出力する。

【0021】つぎに、図1に示した実施形態例の作用を図2及び図3を併用して説明する。

(1) 入力端子10に入力した映像信号(例えばテレビ信号)は、利得制御増幅器12によって利得制御電圧に応じた増幅度で増幅され、A/D変換器14でデジタル信号に変換され、映像処理ブロック20、誤差検出部30及びピークレベル判別部32に入力する。

【0022】(2) 誤差検出部30では、A/D変換器14の出力信号Vをレベル設定値L1と比較し、このレベル設定値L1を超えたときには差分D($D=V-L1<0$)を出力し、超えないときには0を出力する。

【0023】(3) ピークレベル判別部32では、1ライン毎にA/D変換器14の出力信号Vのピークレベルを検出してレベル設定値L1、L2、L3($L3<L2<L1$)と比較し、図2に示すレベル範囲1($L1<V$)、2($L2<V\leq L1$)、3($L3<V\leq L2$)又は4($V\leq L3$)の何れにあるかを判別して判別信号1、2、3又は4を出力する。図2において、実線のV1はピークレベルがレベル設定値L1を超えている映像信号Vを示し、点線のV2はピークレベルがレベル設定

値L2を超えL1以下の映像信号Vを示し、1点鎖線のV3はピークレベルがレベル設定値L3を超えL2以下の映像信号Vを示し、2点鎖線のV4はピークレベルがレベル設定値L3以下の映像信号Vを示す。

【0024】(4) 積分入力制御部34では、ピークレベル判別部32の出力が判別信号1、2のときには誤差検出部30の出力をそのまま出力し、判別信号3のときには予め設定された固定値Kを出力し、判別信号4のときには0を出力する。

【0025】(5) 積分器36は、積分入力制御部34の出力値を積分して出力する。具体的には、積分入力制御部34の出力値が差分Dのときには現在値G(制御当初は初期値)に差分D($D<0$)を加算した値G+D

($G+D<G$)を出力し、積分入力制御部34の出力値が0のときには現在値Gをそのまま出力し、積分入力制御部34の出力値が固定値K($K>0$)のときには現在値Gに固定値Kを加算した値G+K($G+K>G$)を出力する。D/A変換器18は、積分器36の出力値をアナログ信号に変換し利得制御電圧として前記利得制御増幅器12へ出力する。

【0026】(6) したがって、A/D変換器14の出力信号Vのピークレベルがレベル範囲1($L1<V$)のラインについては、利得制御増幅器12の利得減衰によって、図3(a)に示すように出力信号Vのピークレベルがレベル設定値L1の一定値に制御されて映像処理ブロック20へ供給される。また、A/D変換器14の出力信号Vのピークレベルがレベル範囲3($L3<V\leq L2$)のラインについては、利得制御増幅器12の利得増幅によって、図3(b)に示すように出力信号Vのピークレベルがレベル設定値L2の一定値に制御されて映像処理ブロック20へ供給される。A/D変換器14の出力信号Vのピークレベルがレベル範囲2($L2<V\leq L1$)又は4($V\leq L3$)のラインについては、利得制御増幅器12の利得が変化せず出力信号Vがそのまま映像処理ブロック20へ供給される。

【0027】前記実施形態例では、積分入力制御部は、その固定値Kが回路内部において予め固定的に設定された値の場合について説明したが、本発明はこれに限るものでなく、その固定値Kが外部から可変可能に設定される構成とした場合についても利用することができる。この場合AGC応答特性を外部から可変することができる。

【0028】前記実施形態例では、ピークレベル判別部は、AGC制御特性を外部から変えることができるようにするために、そのレベル設定値L1、L2、L3を外部から可変できるように構成した場合について説明したが、本発明はこれに限るものでなく、回路内部において予め固定的に設定された場合についても利用することができる。

【0029】前記実施形態例では、各フレーム画面の各

ラインに沿った輝度レベル変化に不自然さが現われないようにするために、ピークレベル判別部は、1ライン期間毎にA/D変換器の出力信号Vのピークレベルを検出してレベル設定値L1、L2、L3と比較し、レベル範囲1、2、3又は4の何れにあるかを判別して判別信号1、2、3又は4を出力するように構成したが、本発明はこれに限るものでなく、一定期間毎にA/D変換器の出力信号Vのピークレベルを検出してレベル設定値L1、L2、L3と比較し、レベル範囲1、2、3又は4の何れにあるかを判別して判別信号1、2、3又は4を出力するものであればよい。

【0030】例えば、ピークレベル判別部は、1フレーム期間毎にA/D変換器の出力信号Vのピークレベルを検出してレベル設定値L1、L2、L3と比較し、レベル範囲1、2、3又は4の何れにあるかを判別して判別信号1、2、3又は4を出力するように構成した場合についても利用することができる。この場合、各フレーム画面のライン間の輝度レベル変化に不自然さが現われないようにすることができる。

【0031】

【発明の効果】 発明による自動利得制御回路は、アナログの入力映像信号を増幅する利得制御増幅器と、その出力信号をデジタル信号に変換するA/D変換器と、その出力信号Vをピークレベル設定値L1と比較し、レベル設定値L1を超えたときには差分を出力し、超えないときには0を出力する誤差検出部と、一定期間毎に出力信号Vのピークレベルを検出してレベル設定値L1、L2、L3 ($L3 < L2 < L1$) と比較し、レベル範囲1 ($L1 < V$)、2 ($L2 < V \leq L1$)、3 ($L3 < V \leq L2$) 又は4 ($V \leq L3$) の何れにあるかを判別して判別信号1、2、3又は4を出力するピークレベル判別部と、判別信号1、2のときには誤差検出部の出力をそのまま出力し、判別信号3のときには予め設定された固定値Kを出力し、判別信号4のときには0を出力する積分入力制御部と、その出力値を積分する積分器と、その積分値をアナログ信号に変換し利得制御電圧として利得制御増幅器へ出力するD/A変換器とを具備し、A/D変換器の出力信号Vのピークレベルが最適なレベル範囲2 ($L2 < V \leq L1$) のときには利得制御増幅器の利得を保持し、高いレベル範囲1 ($L1 < V$) のときには利得制御増幅器の利得を減衰させ、低いレベル範囲3 ($L3 < V \leq L2$) のときには利得を増幅させ、さらに低いレベル範囲 ($V \leq L3$) のときには利得を保持するように構成したので、入力映像信号方式によらないAGC制御ができ、A/D変換器の入力レンジを有効に使用でき、AGC制御による振動の発生を抑え、暗い画面の映像信号の利得上昇を回避できる。

【0032】ピークレベル判別部を、1ライン期間毎にA/D変換器の出力信号Vのピークレベルを検出してレ

ベル設定値L1、L2、L3と比較し、レベル範囲1、2、3又は4の何れにあるかを判別して判別信号1、2、3又は4を出力するように構成した場合には、各フレーム画面の各ラインに沿った輝度レベル変化に不自然さが現われないようにすることができる。

【0033】ピークレベル判別部を、1フレーム期間毎にA/D変換器の出力信号Vのピークレベルを検出してレベル設定値L1、L2、L3と比較し、レベル範囲1、2、3又は4の何れにあるかを判別して判別信号1、2、3又は4を出力するように構成した場合には、各フレーム画面のライン間の輝度レベル変化に不自然さが現われないようにすることができる。

【0034】ピークレベル判別部のレベル設定値L1、L2、L3を外部から可変可能に設定する構成とした場合には、AGC制御特性を外部から可変できる。

【0035】積分入力制御部の固定値Kを外部から可変可能に設定する構成とした場合には、AGC応答特性を外部から可変できる。

【図面の簡単な説明】

【図1】本発明による自動利得制御回路の一実施形態例を示すブロック図である。

【図2】図1のA/D変換器14の出力信号Vのピークレベルがレベル範囲1、2、3又は4に属している状態を示す説明図である。

【図3】図1のA/D変換器14の出力信号Vのピークレベルが最適なレベル範囲2を外れた場合の利得制御増幅器12の利得制御を示すもので、(a)は出力信号Vのピークレベルが高い範囲 ($L1 < V$) のときの減衰制御を示す映像信号の波形図、(b)は出力信号Vのピークレベルが低い範囲 ($L3 < V \leq L2$) のときの増幅制御を示す映像信号の波形図である。

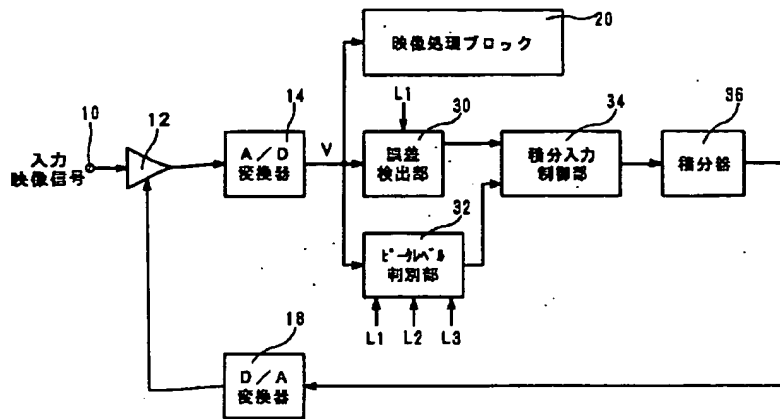
【図4】従来例を示すブロック図である。

【図5】図4の作用を説明するもので、(a)は入力映像信号のピークレベルが基準レベル V_r より大きいときの減衰制御を示す映像信号の波形図、(b)は入力映像信号のピークレベルが基準レベル V_r より小さいときの増幅制御を示す映像信号の波形図である。

【符号の説明】

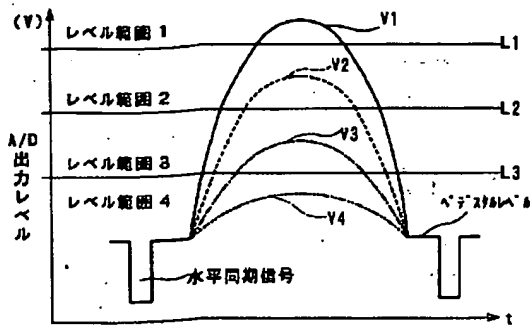
10…映像信号の入力端子、 12…利得制御増幅器、
14…A/D変換器、 18…D/A変換器、 20…映像処理ブロック、 30…誤差検出部、 32…ピークレベル判別部、 34…積分入力制御部、 36…積分器、 L1…ピークレベル設定値、 L2…ピーク下限レベル設定値、 L3…制御下限レベル設定値、 V…A/D変換器14の出力信号、 V1…ピークレベルがレベル範囲1のときの出力信号V、 V2…ピークレベルがレベル範囲2のときの出力信号V、 V3…ピークレベルがレベル範囲3のときの出力信号V、 V4…ピークレベルがレベル範囲4のときの出力信号V。

【図1】

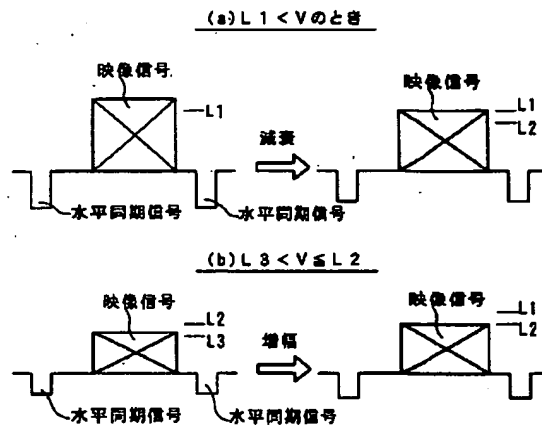


【図2】

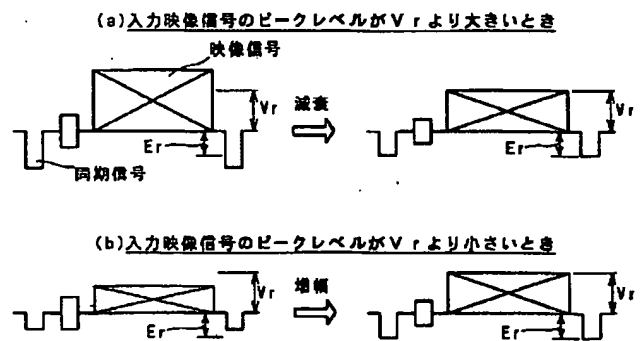
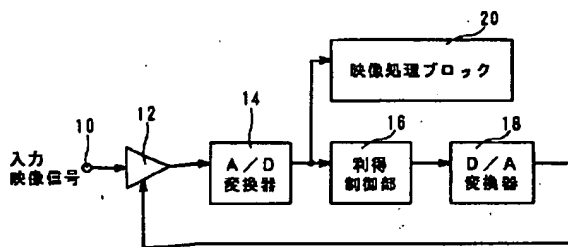
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 小野寺 純一
神奈川県川崎市高津区末長1116番地 株式
会社富士通ゼネラル内

F ターム(参考) 5C021 PA17 PA53 PA58 PA62 PA85
PA86 RA08 RC03 SA02 XA04
5C026 BA02 BA14 BA20
5J022 BA08 CC01 CC02 CF03
5J100 JA01 LA09 LA11 QA01 SA03